

JP 2000311578

L1 ANSWER 1 OF 1 WPIX (C) 2002 THOMSON DERWENT

AN 2001-477606 [52] WPIX

DNN N2001-353467

TI Electron source array for fluorescent display tube, has electron emission area on substrate in which electron emission material and binder material are distributed.

DC V05 X26

PA (SHAF) SHARP KK

CYC 1

PI **JP 2000311578** A 20001107 (200152)* 8p <--

ADT JP 2000311578 A JP 1999-121092 19990428

PRAI JP 1999-121092 19990428

AN 2001-477606 [52] WPIX

AB JP2000311578 A UPAB: 20010914

NOVELTY - An electron emission area (7) is formed on substrate (1) by distributing the electron emission material and binder material. A gate insulating layer (4) is embedded in the groove of substrate.

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are also included for the following:

- (a) electron source array manufacturing method;
- (b) image forming apparatus;
- (c) image forming device manufacturing method

USE - For fluorescent display tube, lamp, electron gun, field emission display, etc.

ADVANTAGE - Enhances electron emission density, due to uniform distribution of electron source material.

DESCRIPTION OF DRAWING(S) - The figure shows perspective view of electron source array.

Substrate 1

Gate insulating layer 4

Electron emission area 7

Dwg. 1/5

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-311578

(P2000-311578A)

(43)公開日 平成12年11月7日(2000.11.7)

(51)Int.Cl. ⁷	識別記号	F I	テームコード [*] (参考)
H 0 1 J	1/304	H 0 1 J	F 5 C 0 3 1
	9/02		B 5 C 0 3 6
	29/04		
	31/12		C

審査請求 未請求 請求項の数23 O L (全 8 頁)

(21)出願番号 特願平11-121092

(22)出願日 平成11年4月28日(1999.4.28)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 大木 博

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 浦山 雅夫

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 100103296

弁理士 小池 隆彌

Fターム(参考) 5C031 DD09 DD17 DD19

5C036 EE01 EE03 EE14 EF01 EF06

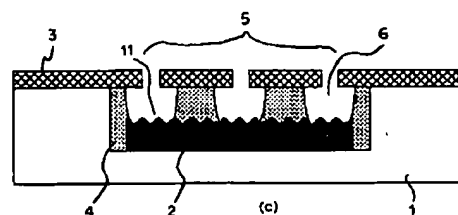
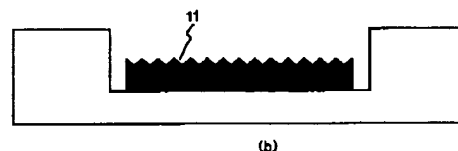
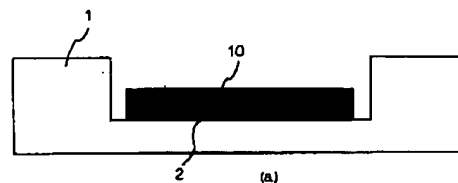
EF09 EG12 EH06 EH08

(54)【発明の名称】 電子源アレイと、その製造方法、及び前記電子源アレイまたはその製造方法を用いて形成される画像形成装置

(57)【要約】 (修正有)

【課題】 本発明は、X-Yアドレス駆動が可能な電子源アレイを提供し、さらには同一基板上に駆動回路を形成可能な画像形成装置を提供することを目的とする。

【解決手段】 本発明の電子アレイは、電子放出領域を電子放出材料とバインダー材料の分散系で構成し、引き出し電極と、ゲート絶縁層とが基板に溝埋め込まれている構造を有する。



【特許請求の範囲】

【請求項1】 ゲート絶縁層上に形成した引き出し電極によって電子を引き出し放出する機能を有する電子源アレイにおいて、

電子放出領域が電子放出材料とバインダー材料の分散系で構成されることを特徴とする電子源アレイ。

【請求項2】 少なくとも前記電子放出領域と、前記ゲート絶縁層とが基板溝に埋め込まれていることを特徴とする請求項1に記載の電子源アレイ。

【請求項3】 前記分散系に界面活性剤を含有することを特徴とする請求項1、2のいずれかに記載の電子源アレイ。

【請求項4】 前記分散系に導電材料の微粒子を含有することを特徴とする請求項1～3のいずれかに記載の電子源アレイ。

【請求項5】 前記バインダー材料が紫外線硬化樹脂であることを特徴とする請求項1～4のいずれかに記載の電子源アレイ。

【請求項6】 前記バインダー材料が電子線硬化樹脂であることを特徴とする請求項1～4のいずれかに記載の電子源アレイ。

【請求項7】 前記バインダー材料が熱硬化樹脂であることを特徴とする請求項1～4のいずれかに記載の電子源アレイ。

【請求項8】 前記バインダー材料がフリットガラスであることを特徴とする請求項1～4のいずれかに記載の電子源アレイ。

【請求項9】 前記電子放出領域の表面が凸凹形状であることを特徴とする請求項1～8のいずれかに記載の電子源アレイ。

【請求項10】 前記引き出し電極が1 μm 以下の薄膜で形成され、前記ゲート絶縁層で機械的に支持され、前記溝に対して直交するように配設された構造を特徴とする請求項1～9のいずれかに記載の電子源アレイ。

【請求項11】 前記電子放出材料がカーボンナノチューブ、ダイヤモンド、グラファイト等の炭素材料の微粒子であることを特徴とする請求項1～10のいずれかに記載の電子源アレイ。

【請求項12】 前記電子放出材料がボロンナイトライド、シリコン等の半導体材料の微粒子であることを特徴とする請求項1～10のいずれかに記載の電子源アレイ。

【請求項13】 前記電子放出材料が金、白金等の貴金属材料の微粒子であることを特徴とする請求項1～10のいずれかに記載の電子源アレイ。

【請求項14】 基板に溝を形成する工程と、前記溝に第1の配線を形成する工程と、前記第1の配線に電子放出材料と単量体の分散系を塗布する工程と、前記単量体を重合して電子放出領域を形成する工程と、前記電子放出領域を後処理する工程と、ゲート絶縁層材料を堆積す

る工程と、引き出し電極材料を堆積する工程と、前記引き出し電極をパターニングする工程と、前記引き出し電極をマスクとして前記ゲート絶縁層を除去してホールを形成する工程を含むことを特徴とする電子源アレイの製造方法。

【請求項15】 前記基板に溝を形成する工程がサンドブラスト法であることを特徴とする請求項14に記載の電子源アレイの製造方法。

【請求項16】 前記単量体を重合する工程が紫外線照射法であることを特徴とする請求項14又は15に記載の電子源アレイの製造方法。

【請求項17】 前記単量体を重合する工程がホログラム法であることを特徴とする請求項14又は15に記載の電子源アレイの製造方法。

【請求項18】 前記単量体を重合する工程が電子線照射法であることを特徴とする請求項14又は15に記載の電子源アレイの製造方法。

【請求項19】 前記単量体を重合する工程が赤外領域に波長を有するレーザー照射法であることを特徴とする請求項14又は15に記載の電子源アレイの製造方法。

【請求項20】 前記電子放出領域を後処理する工程が酸素プラズマエッチング法であることを特徴とする請求項14～19のいずれかに記載の電子源アレイの製造方法。

【請求項21】 前記ゲート絶縁層堆積後に平坦化する工程を含むことを特徴とする請求項14～20のいずれかに記載の電子源の製造方法。

【請求項22】 前記ゲート絶縁層を平坦化する工程がCMP法であることを特徴とする請求項14～21のいずれかに記載の電子源の製造方法。

【請求項23】 請求項1～22のいずれかに記載の電子源アレイまたはその製造方法を用いて形成される画像形成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ディスプレイ、蛍光表示管、ランプ、電子銃等に用いられ、XYマトリクス駆動可能な電子源アレイ及びその製造方法と、これらを用いて形成される画像生成装置を提供する。

【0002】

【従来の技術】フィールドエミッションディスプレイ(FED)は自発光型フラットパネルディスプレイへの応用が期待され、電界放出型電子源の研究、開発が盛んに行われている。

【0003】FEDに用いる電子源アレイとしては、図5に示すC. A. Spindtらのピラミッド型の金属電子源(USP3,665,241)が良く知られており、その金属電子源は高融点金属材料で形成されているが、電子源の先端径制御、均一性制御、更には信頼性の面で大きな問題があった。なお、この図5において、1

0は電子源アレイ、11は表面処理された電子源アレイ、12はピラミット型形状の電子源アレイを示す。

【0004】近年(1991年)、飯島らによりカーボンナノチューブ(CNT)が発見された(S. Iijima, Nature, 354, 56, 1991)。このCNTは、円筒状に巻いたグラファイト層が入れ子状になったもので、その先端径が約10nm程度であり、耐酸化性、耐イオン衝撃性が強い点で電子源アレイとしては非常に優れた特徴を有する材料と考えられている。実際、CNTからの電界放出実験が、1995年にR. E. Smalleyら(A. G. Rinzler, Science, 269, 1550, 19995)とW. A. de Heerら(W. A. de Heer, Science, 270, 1179, 1995)の研究グループから報告されている。

【0005】このような電界放出実験に於いては、金属電極上にCNTをキャスト膜として配置し、引き出し電極として金属板のメッシュを用い、対向電極であるアノードに電子を集めている。

【0006】一方、特開平10-12124号公報に開示されているように、金属の細孔中にCNTを選択的に成長し、CNTを規則正しく配列することで電流強度の時間的安定性を改良することも知られている。

【0007】

【発明が解決しようとする課題】しかしながら、従来のCNTを用いた電子源アレイは、金属電極上にCNTをキャスト膜として配置しているため、電子源アレイを分割することができず、ディスプレイのようなXYアドレスが必要な電子源アレイに応用することが困難であった。

【0008】また、特開平10-12124号公報のように、金属の細孔中にCNTを選択的に成長することで電子源アレイの分割は可能となるが、引き出し電極と電子源アレイと電気的に接続したカソード配線が互いに平行に配置されているため、従来のCNTと同様にXYアドレスができなかった。また、CNTを成長させるための加熱処理温度が1150℃程度と高く、支持基板に形成した駆動回路(CMOS)が劣化し、電子源アレイが駆動できなくなるという課題があった。

【0009】本発明は、上記従来技術の問題点を解決するものであり、その目的は、X-Yアドレス駆動が可能な電子源アレイ、及びその製造方法を提供することであり、さらには同一基板上に駆動回路を形成可能な画像形成装置を提供することである。

【0010】

【課題を解決するための手段】上記課題を解決するために、請求項1では、電子源アレイを電子放出材料とバインダー材料で構成することにより、任意のブロックに分割可能な電子源アレイを提供すると共に、高温度の加熱処理を不要にしたことで、同一支持基板上に配設された

駆動回路にダメージを与えない構成にする。

【0011】請求項2では、電子源アレイ、引き出し電極、及びゲート絶縁層を支持基板の溝に埋め込むことにより、ゲート絶縁層の上方に引き出し電極、集束電極、及び駆動回路を形成するCMOS等が配設可能な電子源アレイを提供する。

【0012】請求項3では、電子放出材料とバインダー材料の分散系に界面活性剤を添加することにより、バインダー材料中に電子放出材料を均一に分散した高品質な電子放出領域を有する電子源アレイを提供する。

【0013】請求項4では、分散系を電子放出材料の微粒子、バインダー材料、界面活性剤、導電材料の微粒子構造とすることにより、絶縁性のバインダー材料を高抵抗化すると共に、その抵抗を制御し、バインダー材料に電流制限機構を付与する。

【0014】請求項5では、バインダー材料を紫外線硬化樹脂にすることにより、紫外線照射で分割可能な電子源アレイを提供する。

【0015】請求項6では、バインダー材料を電子線硬化樹脂にすることにより、電子線照射で分割可能な電子源アレイを提供する。

【0016】請求項7では、バインダー材料を熱硬化樹脂にすることにより、赤外領域に波長を有するレーザー照射で分割可能な電子源アレイを提供する。

【0017】請求項8では、バインダー材料としてフリットガラスを用いることにより、真空中のデカスが少ない、真空系に有利な電子源アレイを提供する。

【0018】請求項9では、電子放出領域を凸凹形状の表面にすることにより、電子放出材料の露出面積を増加し、高い電流密度を有する電子源アレイを提供する。

【0019】請求項10では、引き出し電極を薄膜で形成し、支持基板に埋め込んだゲート絶縁層で機械的に支持し、引き出し電極とカソード配線を互いに直交する構造にすることにより、電子源アレイのXYマトリクス駆動を可能にすると共に、金属板等で形成したメッシュ電極を不要にし、部品数を削減可能な電子源アレイを提供する。

【0020】請求項11では、カーボンナノチューブ、ダイヤモンド、グラファイト等の炭素材料の微粒子から構成される電子源アレイを提供する。

【0021】請求項12では、ボロンナイトライド、シリコン等の半導体材料の微粒子から構成される電子源アレイを提供する。

【0022】請求項13では、金、白金等の貴金属の微粒子から構成される電子源アレイを提供する。

【0023】請求項14では、本発明の電子源アレイの製造方法を提供する。

【0024】請求項15では、基板の溝をサンドブラストで形成することにより、フォトリソ及びエッチング工程が不要な電子源アレイの製造方法を提供する。

【0025】請求項16では、紫外線照射法で電子源アレイを分割する電子源アレイの製造方法を提供する。

【0026】請求項17では、ホログラム法で電子源アレイを分割することで、微細な電子源アレイの製造方法を提供する。

【0027】請求項18では、電子線照射法で電子源アレイを分割する電子源アレイの製造方法を提供する。

【0028】請求項19では、赤外領域に波長を有するレーザー照射法で電子源アレイを分割する電子源アレイの製造方法を提供する。

【0029】請求項20では、電子放出領域表面を酸素プラズマエッチング法で後処理することにより、表面形状を凸凹にする電子源アレイの製造方法を提供する。

【0030】請求項21では、ゲート絶縁層を平坦化することで、ゲート絶縁層の上方に引き出し電極、集束電極、及び駆動回路を形成するCMOS等が配設を容易にする電子源アレイの製造方法を提供する。

【0031】請求項22では、平坦化する工程をCMP法とすることで、平坦化の制御性と精度を向上する。

【0032】請求項23では、本発明のXYマトリクス駆動可能な電子源アレイ及びその製造方法を用いて形成される画像形成装置を提供する。

【0033】

【発明の実施の形態】〈第1実施形態〉図1(a)～(c)は本発明の電子源アレイの構造を示す。以下、図1に従い、本発明の電子源アレイの構成を説明する。

【0034】図1(a)は本発明の電子源アレイの斜視図である。電子源アレイを機械的に支持する基板1上には、電子源アレイと電気的に接続するカソード配線2が配設されている。また、カソード配線2と電子源から電子を真空中に引き出す引き出し電極(ゲート電極)3を絶縁するゲート絶縁層4(点で表示)は支持基板1に形成された溝に埋め込まれ、これらのゲート絶縁層4と支持基板1の上層に、カソード配線とは互いに直交した構成でゲート電極3が配設されている。

【0035】図1(b)、(c)は、図1(a)の断面線A、Bでのそれぞれの断面図である。ゲート電極3に平行な断面線Aに於ける断面図を示す図1(b)から明らかなように、ゲート電極3はカソード配線2が配設される溝部分でゲート絶縁層4で機械的に保持されると共に、カソード配線3をそれぞれ電気的に絶縁する溝以外の部分では支持基板1により機械的に保持されている。一方、カソード配線2に平行な断面線Bに於ける断面図を示す図1(c)を見ると、ゲート電極3はゲート絶縁層上で電気的に分離され、カソード配線2に直交するように配設されている。

【0036】電子源アレイ5は、図1(b)、(c)に示すように、カソード配線上に正方形(または、長方形)の形状で、カソード配線2とゲート電極3の交差部に配置されている。

【0037】この電子源アレイ5において、それぞれの電子源アレイ5の上方のゲート絶縁層及びゲート電極は除去され、空孔6が形成されており、ゲート電極3で引き出された電子はこの空孔6を通過してアノードに集めることができた。また、空孔6で露出された電子放出領域7の表面には、無数の電子放出材料が存在し、この表面を凸凹形状にすることで表面に存在する電子放出材料の密度が増加でき、アノードに集められた電子、即ちエミッション電流が飛躍的に増加した。また、前記凸凹形状を更に強調すると、針状の集合体を形成できた。一方、ゲート電極の開口径8は空孔6よりも小さいため、ゲート電極に流れる電流が多くなることが懸念されるが、ゲート電流はエミッション電流と比較して小さく、問題となるレベルではなかった。

【0038】ここで、図2(a)～(f)を用いて、本実施形態の電子源アレイの製造方法を説明する。

【0039】まず、電子源アレイを形成する支持基板1にライン状の溝9を形成した。この溝9はドライエッチングで形成できる。溝9の幅は50 μ m～500 μ m、深さは0.5 μ m～50 μ m程度の間で適宜形成される。本実施形態に於いては、支持基板1として対角5インチのガラス基板を用い、溝9の幅を200 μ m、溝のピッチを300 μ mとし、溝の深さを5 μ mとした。さらに、この溝9の底部に金属配線2を形成した。この金属配線2は印刷配線技術を用いて形成することが好ましい。金属配線材料を堆積してフォトリソ、エッチングで形成することも可能であるが、実験を行ったところ、溝9の中にフォトリソを行うことが難しく、溝9の内部に形成されたレジスト形状が劣化していた。本実施形態に於いては、印刷技術を用い、幅:100 μ m、膜厚:1 μ mの銅配線を形成した(図2(a))。

【0040】次に、電子放出材料とバインダー材料の分散系からなる電子源アレイ10を形成した。電子放出材料とバインダー材料は以下のように形成した。

【0041】この電子放出材料の微粒子としては、電子放出する材料の微粒子であれば何でも構わず、例えば、単結晶ダイヤモンド、グラファイト等の炭素材料の微粒子、ボロンナイトライド、シリコン等の半導体材料の微粒子、金、白金等の貴金属材料の微粒子が挙げられる。

【0042】一方、バインダー材料としては、その単量体が光、電子、熱等で重合可能なものであれば何でも構わず、例えば、紫外線硬化樹脂、電子線硬化樹脂、熱硬化樹脂等が挙げられる。

【0043】本実施形態に於いては、電子放出材料としてカーボンナノチューブ(マルチウォールカーボンナノチューブ、純度:50%)の微粒子を用い、バインダー材料として紫外線硬化樹脂(アクリル系樹脂)を用いた。紫外線硬化樹脂としては、粘度が低いものが分散を容易にする点で好ましい。また、分散の安定性、均一性

の点で界面活性剤を微量添加することが好ましい。

【0044】本実施形態に於いては、カーボンナノチューブ：バインダー：界面活性剤を49：50：1の混合比で混合し、分散系とした。この際、バインダーが絶縁体であるため、金属配線材料2と導通が取れなくなることが考えられるが、実験結果によれば、導通が取れなくなることはなかった。この理由として、繊維状のカーボンナノチューブがお互いランダムにどこかの点で接触し、マクロ的には、導通が取れていると考えられる。しかし、この場合、カーボンナノチューブの混合量を減少すると、導電性が劣化することが実験的に明らかになっており、注意が必要である。

【0045】繊維状の形態ではないその他の電子放出材料の場合、念のため、金属微粒子を分散系に添加し、バインダーの導電性を取ることが好ましい。もちろん、カーボンナノチューブに対しても、金属微粒子を添加して導電性を向上しても構わない。

【0046】このように調製した分散系をスピナーで塗布した。膜厚は1 μ mであった。紫外線を照射することにより、所定形状の電子源アレイ10を形成した。本実施形態では、縦横が100 μ mの正方形の電子源アレイ10を形成した(図2(b))。

【0047】本実施形態においては、典型的な例として紫外線硬化樹脂を用いたが、電子線硬化樹脂、熱硬化樹脂においても、紫外線硬化樹脂と同様に分散系の形成、スピナーによる塗布、所定形状の電子源アレイ10の形成が可能であることを実験的に確認した。また、高温の熱処理が一切不要であるため、CMOSから形成される駆動回路、論理回路、または、保護回路等を同一基板上に形成しても構わない。

【0048】次に、ゲート絶縁材料4で基板の溝9を埋め込んだ。ゲート絶縁材料としては、 O_3 -TEOS、PE-TEOS、BPSG、SOG等が好ましい。 O_3 -TEOS、PE-TEOSを堆積し、CMP(化学的・機械的研磨)法で平坦化することは、制御性、精度の点で好ましく、一方、BPSG、または、SOGを堆積し、リフローして平坦化することはコストの点で好ましい。どのゲート絶縁材料を用い、平坦化するかは、適宜、当業者により決定されるべきことである。本実施形態に於いては、埋め込む溝の体積が幅：200 μ m、深さ：5 μ m、長さ90mmと大きいことから、SOGを塗布して溝を埋め込み、エッチバック法で平坦化を行った(図2(c))。

【0049】次に、ゲート電極材料3を堆積した。本実施形態に於いては、ゲート金属材料としてモリブデンを用い、EB蒸着法で0.5 μ m堆積してゲート電極を形成した(図2(d))。

【0050】本実施形態においては、平坦化されたゲート絶縁膜上にゲート電極のみを形成しているが、さらに上方に電子ビームを集束するための集束電極を形成して

も構わない。

【0051】次に、電子源アレイ5を形成する領域のゲート電極にホール8の形成、及びゲート電極配線のパターンニングを行った。ホール8及び配線の形成はフォトリソ及びドライエッチングで容易に形成した(図2(e))。ホール8の直径は1 μ m、ピッチは5 μ mであり、ゲート電極配線のライン幅は200 μ m、ピッチは300 μ mとした。

【0052】最後に、ホール8の下方にあるゲート絶縁層をエッチング除去し、空孔6を形成した。空孔6の形成はゲート電極配線をエッチングマスクとし、2 μ m相当をドライエッチングで、1 μ m相当をウエットエッチングでゲート絶縁層を除去して電子放出領域7を形成した(図3(f))。

【0053】本実施形態において、ドライエッチングとウエットエッチングを組み合わせて空孔6を形成したのは、空孔のピッチが5 μ mであるためで、空孔のピッチが例えば、10 μ m程度あれば、ウエットエッチングだけを用いることができる。ドライエッチングとウエットエッチングをどのように組み合わせるかは、ゲート電極と電子源間のゲート絶縁層の膜厚、及び空孔間のピッチで決定することが好ましい。

【0054】以上のような製造方法により、100 μ m角の電子源アレイに約400個の電子放出領域を形成でき、1 μ mのゲート電極の開口部から電子を放出することを実験で確認した。この時の、アノード電圧は1KV、ゲート電圧は300V、エミッション電流は5 μ A程度であった。

【0055】また、対角5インチのガラス基板にこのような電子源アレイを320 \times 240個配設したところ、電子源アレイと電氣的に接続した金属配線(カソード配線)2とゲート電極3との選択により任意の電子源アレイが選択可能であり、この電子源アレイと対向するアノード電極に蛍光体を配置すると、任意の電子源アレイから放出された電子の衝突により、蛍光体が発光した。

〈第2実施形態〉本実施形態では、電子源アレイの表面を凸凹形状にする製造方法を図3(a)～(c)を用いて説明する。

【0056】支持基板1に金属配線2及び電子源アレイ10を形成する方法は図2(a)と同様に行うことで、図3(a)に示す断面工程図が得られた。

【0057】次に、電子源アレイ10の表面を凸凹形状にした。電子源アレイの表面を凸凹にするためには、電子放出材料とバインダー材料のエッチングレートの違いを利用すれば容易であった。本実施形態に於いては、 O_2 プラズマエッチング法を用いた。

【0058】通常のRIE装置で第1の実施形態で製造した電子源アレイを O_2 プラズマエッチングすると、バインダー材料であるアクリル系樹脂のエッチングレートはカーボンナノチューブのエッチングレートよりも著し

く速いため、表面処理された電子源アレイの表面11は図3(b)のように、凸凹になった。この形状はSEMを用いた断面形状の観察で実験的に確認した。

【0059】最後に、第1の実施形態の図2(c)～(f)に従い、ゲート絶縁層4の埋め込み、ゲート電極3の形成、空孔6の形成を行うことで本実施形態の電子源アレイ(図3(c))を製造できた。

【0060】第1の実施形態と同様に、アノード電圧を1KV、ゲート電圧を300Vにすると、エミッション電流は第1の実施形態の少なくとも1.5倍以上であることを実験的に確認した。

〈第3実施形態〉本実施形態では、電子源アレイが微細化可能な製造方法を図4(a)～(c)を用いて説明する。

【0061】支持基板1に金属配線2及び電子源アレイ10を形成する方法は第2の実施形態と同様、第1の実施形態に従った(図4(a))。

【0062】次に、電子源アレイ10を微細化するために、電子放出材料とバインダー材料の分散系を塗布後、ホログラム法を用い、電子源アレイのパターンを形成した。ホログラムは市販の装置をそのまま用いて形成した。露光後、電子源アレイをSEM観察すると、図4(b)のように、ピラミッド型形状の電子源アレイ12が多数存在し、そのピラミッドの大きさを1 μ m以下にすることができた。

【0063】製造した電子源アレイに、アノード電圧を1KV、ゲート電圧を300Vを印加すると、エミッション電流は第1の実施形態の少なくとも2倍以上であることを実験的に確認した。

【0064】

【発明の効果】以上説明したように、本発明によれば以下の効果を有する。

【0065】請求項1及び2では、任意のブロックに分割可能な電子源アレイを提供し、CMOSから形成される駆動回路、論理回路、保護回路等が配設可能した。

【0066】請求項3では、均一に分散した高品質、高密度な電子放出領域を有する電子源アレイを提供した。

【0067】請求項4では、絶縁性のバインダー材料を高抵抗化すると共に、その抵抗を制御し、バインダー材料に電流制限機構を付与した電子源アレイを提供した。

【0068】請求項5～7では、バインダー材料を紫外線硬化樹脂、電子線硬化樹脂、熱硬化樹脂を用いて、任意のパターンを有する電子源アレイを提供できた。

【0069】請求項8では、真空中でのデガスが少ない、真空系のデバイスに対して有利なバインダー材料を提供した。

【0070】請求項9では、エミッション電流を向上した電子源アレイを提供できた。

【0071】請求項10では、電子源アレイのXYマトリクス駆動を可能にし、金属板等で形成したメッシュ電

極を不要にした。

【0072】請求項11～13では、カーボンナノチューブ、ダイヤモンド、グラファイト等の炭素材料の微粒子、ボロンナイトライド、シリコン等の半導体材料の微粒子、金、白金等の貴金属の微粒子から構成される電子源アレイを提供できた。

【0073】請求項14では、本発明の電子源アレイを製造できた。

【0074】請求項15では、基板を直接研磨するため、フォトリソ及びエッチング工程が不要になるため、工程が簡略化できると共に、真空装置が不要になるため、基板面積に製造方法が限定されるようなことがなくなる。

【0075】請求項16、18、及び19では、電子源アレイを分割可能な製造方法を提供できた。

【0076】請求項17では、微細化した電子源アレイを製造できた。

【0077】請求項20では、表面形状を凸凹にする電子源アレイを製造できた。

【0078】請求項21では、ゲート絶縁層を平坦化することで、ゲート絶縁層の上方に引き出し電極、集束電極、及び各種回路を形成できると共に、請求項22では、平坦化する工程をCMP法とすることで、平坦化の制御性と精度を向上した。

【0079】請求項23では、本発明のXYマトリクス駆動可能な電子源アレイ及びその製造方法を用いて形成される画像形成装置を提供した。

【図面の簡単な説明】

【図1】本発明に係る電子源アレイの斜視図(a)であり、(b)は(a)の断面線Aでの電子源アレイの断面図、(c)は(a)の断面線Bでの電子源アレイの断面図である。

【図2】(a)～(f)は第1の実施形態に於ける工程断面図である。

【図3】(a)～(c)は第2の実施形態に於ける工程断面図である。

【図4】(a)～(c)は第3の実施形態に於ける工程断面図である。

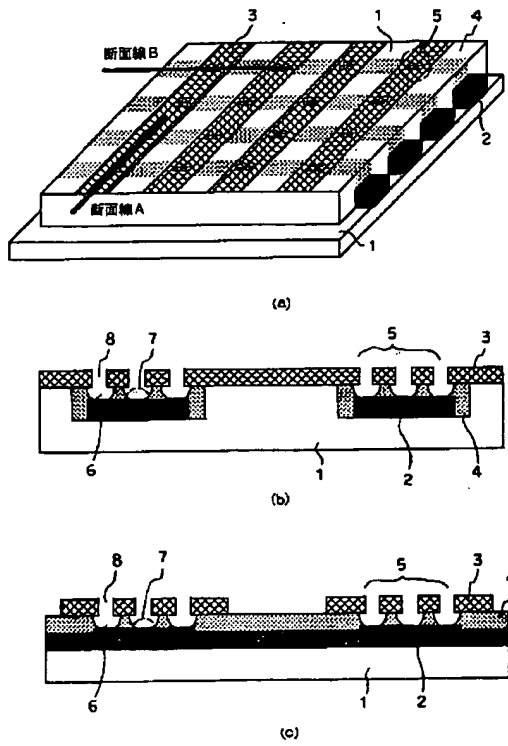
【図5】従来の電子源アレイの斜視図である。

【符号の説明】

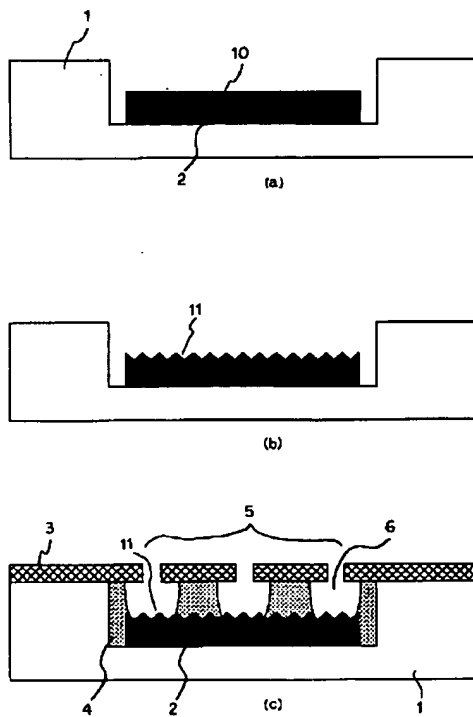
- 1 支持基板
- 2 カソード配線
- 3 引き出し電極(ゲート電極)
- 4 ゲート絶縁層
- 5 電子源アレイ
- 6 空孔
- 7 電子放出領域
- 8 ゲート電極の開口部
- 9 ライン状の溝
- 10 電子源アレイ

1.1 表面処理された電子源アレイ

【図1】

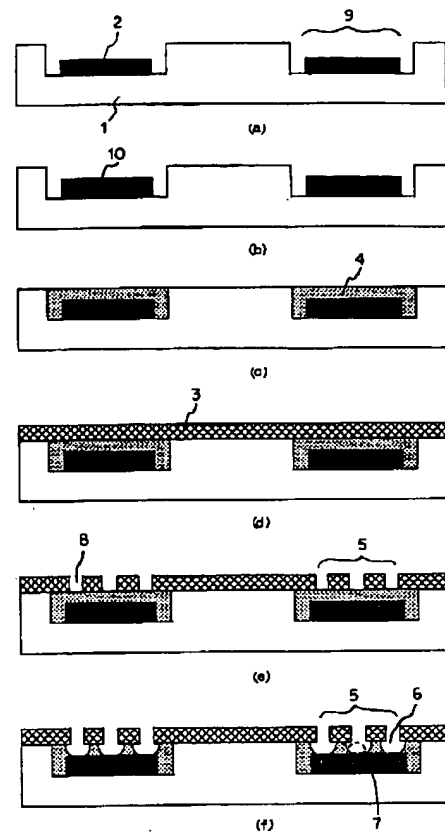


【図3】

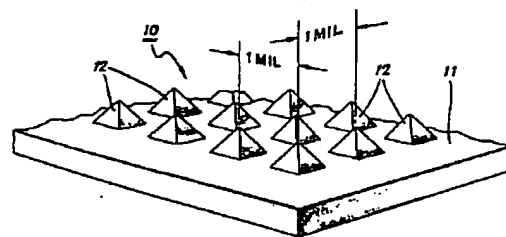


1.2 ピラミッド型形状の電子源アレイ

【図2】



【図5】



【図4】

